

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

<b>Applicant:</b>	<b>Hiroyuki Nakajima</b>	<b>Examiner:</b>	<b>Unassigned</b>
<b>Serial No:</b>	<b>Unassigned</b>	<b>Art Unit:</b>	<b>Unassigned</b>
<b>Filed:</b>	<b>Herewith</b>	<b>Docket:</b>	<b>17472</b>
<b>For:</b>	<b>PROCESSOR, SYSTEM LSI CIRCUIT, METHOD OF DESIGNING SAME, AND RECORDING MEDIUM HAVING SAID METHOD RECORDED THEREON</b>	<b>Dated:</b>	<b>February 24, 2004</b>


Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450  
Attn: Mail Stop New Applications

**CLAIM OF PRIORITY**

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application No. 2003-051201 filed February 27, 2003.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No.: 30,749

Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343

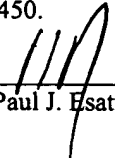
---

**CERTIFICATE OF MAILING BY EXPRESS MAIL**

Express Mail Mailing Label Number: EV 213900374 US  
Date of Deposit: February 24, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: February 24, 2004

  
Paul J. Esatto, Jr.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 2 7 日  
Date of Application:

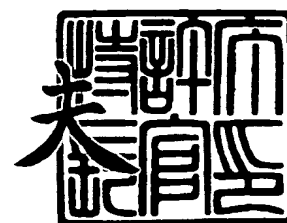
出 願 番 号            特 願 2 0 0 3 - 0 5 1 2 0 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 5 1 2 0 1 ]

出      願      人            N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 73620001

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明の名称】 プロセッサ、システム L S I、システム L S I の設計方法、及び、それを記録した記録媒体

【請求項の数】 18

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 中島 博行

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216503

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサ、システム L S I、システム L S I の設計方法、及び、それを記録した記録媒体

【特許請求の範囲】

【請求項 1】 複数の命令セットのそれぞれを実行するための複数のプロセッサ機能を備えるプロセッサであって、

前記複数のプロセッサ機能とは別に設けられ、前記複数のプロセッサ機能の何れによっても実行されないシステム命令をデコードするシステム命令デコーダと

、  
前記システム命令デコーダでデコードされたシステム命令に応答して前記複数のプロセッサ機能の内の 1 つを選択するシステム命令実行部とを備えることを特徴とするプロセッサ。

【請求項 2】 前記システム命令実行部は、更に、所定の割り込み信号に応答して、前記複数のプロセッサ機能の内の 1 つを選択する、請求項 1 に記載のプロセッサ。

【請求項 3】 前記複数のプロセッサ機能の少なくとも 2 つは、ハードウェア資源を共有する、請求項 1 又は 2 に記載のプロセッサ。

【請求項 4】 前記複数の命令セットの少なくとも 2 つは、共通の命令を含み、該少なくとも 2 つの命令セットに対応する複数のプロセッサ機能が、前記共通の命令をデコードする命令セットデコーダを共有する、請求項 1 ～ 3 の何れかに記載のプロセッサ。

【請求項 5】 前記システム命令は、プロセッサが動作する電源電圧及び動作速度を設定する命令の少なくとも 1 つを含む、請求項 1 ～ 4 の何れかに記載のプロセッサ。

【請求項 6】 前記複数の命令セットに含まれる各命令に対応する処理制御データを記憶する記憶部を備え、入力される命令と選択されたプロセッサ機能の情報とに基づいて、該入力される命令に対応するアドレスを生成して、前記入力される命令に対応する処理制御データを前記記憶部から読み出す、請求項 1 ～ 3 の何れかに記載のプロセッサ。

【請求項 7】 前記複数のプロセッサ機能の内の少なくとも 2 つは、共通の命令セットを有する、請求項 1～6 の何れかに記載のプロセッサ。

【請求項 8】 前記複数のプロセッサ機能の少なくとも 1 つは、段数が可変に設定されてパイプライン制御され、該パイプライン制御における段数が特定のシステム命令に応答して設定される、請求項 1～7 の何れかに記載のプロセッサ。

【請求項 9】 パイプライン制御における段数が可変としてあり、プロセッサに入力された段数設定命令に応答して、前記段数が設定されることを特徴とするパイプライン制御のプロセッサ。

【請求項 10】 請求項 1～9 の何れかに記載のプロセッサを備えることを特徴とするシステム L S I。

【請求項 11】 請求項 1～8 の何れかに記載のプロセッサを複数有することを特徴とするシステム L S I。

【請求項 12】 前記複数のプロセッサは、全てのプロセッサが同じ命令セットで動作する第 1 のパターンと、少なくとも 1 つのプロセッサが、他のプロセッサとは異なる命令セットで動作する第 2 のパターンの何れかで動作する、請求項 11 に記載のシステム L S I。

【請求項 13】 請求項 11 又は 12 に記載のシステム L S I を設計する L S I 設計方法であって、

システム L S I 設計仕様から、機能設計段階でハードウェア設計及びソフトウェア設計に分割するステップと、

ハードウェア設計において、前記複数のプロセッサのそれぞれに対応するハードウェア構成と、アルゴリズムレベルで記述された前記システム命令及び前記複数の命令セットとを、ハードウェア情報として入力するステップと、

前記ハードウェア情報を動作合成するステップとを備えることを特徴とするシステム L S I の設計方法。

【請求項 14】 前記動作合成ステップによって、論理合成用 H D L 記述と、シミュレーション記述と、ハードウェア規模を示す合成情報とを生成する、請求項 13 に記載のシステム L S I の設計方法。

【請求項 15】 前記動作合成ステップに後続して、

前記シミュレーション記述と、前記複数のプロセッサを作動させるソフトウェアの機械語命令とに基づいて、設計されるシステム L S I の動作検証を行なうステップとを有する、請求項 14 に記載のシステム L S I の設計方法。

【請求項 16】 前記合成情報と、前記動作検証ステップにおける検証結果とに基づいて、前記分割ステップに戻るか否かを判定する、請求項 15 に記載のシステム L S I の設計方法。

【請求項 17】 前記ソフトウェアの設計では、前記複数のプロセッサ毎に前記複数の命令セットの命令及びシステム命令を含むソースプログラムを作成するステップと、

前記プロセッサ毎のソースプログラムを、前記ハードウェア情報を参照して一括して機械語に翻訳するステップとを有する、請求項 13 ～ 16 の何れかに記載のシステム L S I の設計方法。

【請求項 18】 請求項 13 から 17 の何れかに記載のシステム L S I の設計方法を実現するプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサ、システム L S I、システム L S I の設計方法、及び、それを記録した記録媒体に関し、特に、複数の動作モードを切り替え可能なプロセッサ、このようなプロセッサを備えるシステム L S I、システム L S I の設計方法、及び、その設計方法を記録した記録媒体に関する。

【0002】

【従来の技術】

システム L S I は、画像処理や暗号化処理、フィルタ処理、復号処理など多彩な処理に使用され、その入出力信号の種類、処理のアルゴリズム、或いは、要求される時間的性能なども様々である。システム L S I には、演算処理装置（プロセッサ）が組み込まれ、そのプロセッサは、一般に、要求される処理に適した性能指向の命令で構成される単一の命令セットを備える。この場合、システム L S I

が行なう処理内容が、例えば、制御性能指向の命令セットに適した処理と、信号処理性能指向の命令セットに適した処理との双方を含む場合には、単一のプロセッサでは、全体として処理を高速化することができない。

#### 【0003】

実行する処理の内容に応じて、最適なプログラミング、処理、及び、処理速度を選択できる技術として、特開平8-106383号公報（特許文献1）には、速度切替命令により、縮小命令セットと高機能命令セットとを切り替えて使用できるプロセッサが記載されている。図12は、特許文献1に記載のプロセッサの構成を示している。主メモリ201には、アプリケーションプログラムとして、RISC命令（縮小命令セット）で記述された高速プログラムと、CISC命令（高機能命令セット）で記述された低速プログラムとが、速度切替命令を境として共存して記憶されている。R/Cレジスタ209は、低速モード、又は、高速モードをR/Cフラグに格納する。

#### 【0004】

デコーダ選択回路206は、R/Cレジスタ209に格納されたR/Cフラグが高速モードであるときには、主メモリ201から命令レジスタ205にフェッチされた高速プログラム（RISC命令）を、RISC用デコーダ207に供給する。いま、RISC命令である速度切替命令（低速切替命令）がRISC用デコーダ207で解読されて実行されると、R/Cフラグに低速モードが格納される。R/Cフラグに低速モードが格納されると、クロック選択回路218は、選択状態を切り替え、実行クロック $\phi'$ を、マスタークロック $\phi$ から、マスタークロック $\phi$ をn分周器219でn分周した分周クロックに変更する。また、デコーダ選択回路206は、選択状態を切り替え、主メモリ201から命令レジスタ205にフェッチされた低速プログラム（CISC命令）を、マッピング部208及びアドレス選択部210を介してCISC用デコーダ211に供給する。

#### 【0005】

CISC命令である速度切替命令（高速切替命令）がCISC用デコーダ211で解読されて実行されると、R/Cフラグに高速モードが格納される。R/Cフラグに高速モードが格納されると、クロック選択回路218は、選択状態を切

り替え、実行クロック  $\phi'$  を、マスタークロック  $\phi$  から  $n$  分周器 218 で  $n$  分周したクロックから、マスタークロック  $\phi$  に変更する。また、選択回路 206 は、選択状態を切り替え、主メモリ 201 から命令レジスタ 205 にフェッチされた RISC 命令を、RISC 用デコーダ 207 に供給する。このように、プロセッサ 200 は、低速プログラムと高速プログラムとの境界に挿入される速度切替命令により、高速命令セットと、低速命令セットとを動的に切り替える。

#### 【0006】

アプリケーションプログラムに含まれる切替命令によって、使用する命令セットを動的に切り替える別の技術として、特開 2002-328804 号公報（特許文献 2）には、複数の命令セットを有し、プログラムカウンタ（PC）レジスタの通常使用されない所定ビットを使用して、複数の命令セットの何れを使用するかを選択する技術が記載されている。この技術では、特許文献 1 に記載の技術とは異なり、命令セットを切り替えるための専用のレジスタ 209（図 12）を不要としている。

#### 【0007】

##### 【特許文献 1】

特開平 8-106383 号公報

##### 【特許文献 2】

特開 2002-328804 号公報

#### 【0008】

##### 【発明が解決しようとする課題】

しかし、上記特許文献 1 及び特許文献 2 に記載の技術では、使用する命令セットを切り替えるための命令は、各命令セットのデコーダが解読して実行するため、例えば 2 つ以上の命令セットを含むプロセッサでは、各命令セットのデコーダが、別の命令セットへの切替命令をデコードするための回路資源を備える必要があり、回路規模が増大するという問題がある。また、命令セットの切り替えに際しては、現在選択されている命令セットに対応する切替命令を、異なる命令セットのプログラム間に挿入する必要があり、切り替え後の命令セットに加えて、切り替え前の命令セットを認識する必要があるという問題もある。



**【0009】**

本発明は、従来技術における上記問題点を解消し、切り替えるべき命令セット数が増えた場合であっても、命令セットの切替命令をデコードするデコーダの回路規模が増大しないこと、切り替え前の命令セットを認識する必要がないために切替命令の挿入を簡易に行なうことができるプロセッサを提供することを目的とする。

**【0010】**

また、本発明は、上記プロセッサを1以上含むシステムLSI、システムLSIの設計方法、及び、それを記録した記録媒体を提供することを目的とする。

**【0011】****【課題を解決するための手段】**

上記目的を達成するために、本発明のプロセッサは、複数の命令セットのそれぞれを実行するための複数のプロセッサ機能を備えるプロセッサであって、前記複数のプロセッサ機能とは別に設けられ、前記複数のプロセッサ機能の何れによっても実行されないシステム命令をデコードするシステム命令デコーダと、前記システム命令デコーダでデコードされたシステム命令に応答して、前記複数のプロセッサ機能の内の1つを選択するシステム命令実行部とを備えることを特徴とする。

**【0012】**

本発明のプロセッサでは、アプリケーションプログラム中に含まれる、使用する命令セットを指定する所定のシステム命令が、システム命令デコーダでデコードされ、システム命令実行部によって実行制御されると、プロセッサは、使用する命令セットに対応するプロセッサ機能を使用して、読み込んだ命令を実行する。使用する命令セットを指定するシステム命令を、システム命令に専用のシステムデコーダ及びシステム命令実行部を使用して実行するため、使用する命令を切り替える場合であっても、現在使用している命令セットを認識する必要がなく、使用する命令セットの切り替えを簡易に行なえる。また、プロセッサに、処理性能指向が異なる命令セットを含ませた場合には、プロセッサが対象とする処理に応じて、処理に適した性能指向の命令セットに動的に切り替えて使用することで

、処理全体の処理速度を向上することができる。

【0013】

本発明のプロセッサでは、前記システム命令実行部が、更に、所定の割り込み信号に応答して、前記複数のプロセッサ機能の内の1つを選択することが好ましい。この場合、プロセッサは、使用する命令セットを指定する所定の割り込み信号によっても、指定された命令セットに対応するプロセッサ機能を使用して、読み込んだ命令を実行することができる。

【0014】

また、本発明のプロセッサでは、前記複数のプロセッサ機能の少なくとも2つが、ハードウェア資源を共有することが好ましい。

複数のプロセッサ機能を、それぞれ独立したハードウェア部分で構成すると、加算器や乗算器などのハードウェア資源を共有することができないが、1つのプロセッサ中に複数のプロセッサ機能（命令セット）を含めることで、汎用的なハードウェア資源の共有が可能となり、個別のハードウェア部分で構成する場合に比して、ハードウェア資源を有効活用できる。

【0015】

本発明のプロセッサでは、前記複数の命令セットの少なくとも2つは、共通の命令を含み、該少なくとも2つの命令セットに対応する複数のプロセッサ機能が、前記共通の命令をデコードする命令セットデコーダを共有する構成を採用することができる。この場合、共通の命令は、共通のデコーダでデコードされて実行されることになり、共通の命令のデコード及び実行を各プロセッサ機能で行なう場合に比して、回路資源の無駄を省くことができる。

【0016】

本発明のプロセッサでは、前記システム命令は、プロセッサが動作する電源電圧及び動作速度を設定する命令の少なくとも1つを含むことが好ましい。プロセッサの動作モードを指定するシステム命令には、使用する命令セットを指定する命令だけでなく、プロセッサの動作電源電圧や、動作速度（使用クロック周波数）を設定する命令を含めることができる。

【0017】

本発明のプロセッサでは、前記複数の命令セットに含まれる各命令に対応する処理制御データを記憶する記憶部を備え、入力される命令と選択されたプロセッサ機能の情報とに基づいて、該入力される命令に対応するアドレスを生成して、前記入力される命令に対応する処理制御データを前記記憶部から読み出す構成を採用することができる。この場合、記憶部は、例えば一般的なプロセッサにおけるデコーダ又は実行制御部が出力すべき水平マイクロコード（水平命令）を、処理制御データとして記憶し、プロセッサは、入力される命令（命令コード）と、選択されている命令セットの情報とに基づいて、記憶部から処理制御データを読み出し、命令を実行する。例えば記憶部のメモリ容量が一定であっても、外部から、記憶部が記憶する処理制御データをプログラマブルに変更可能に構成することで、プロセッサに含ませる命令数や命令セット数を増やすことができる。

#### 【0018】

本発明のプロセッサでは、前記複数のプロセッサ機能の内の少なくとも2つを、共通の命令セットとして構成することができる。この場合、プロセッサには、命令セット自体は同じであるが、ハードウェア資源の使用形態等が異なる複数のプロセッサ機能が含まれる。

一般に、高速動作に対応するハードウェア資源は、低速動作のハードウェア資源よりも回路規模が大きくなる。このため、高速動作に対応するプロセッサ機能を、消費電力を抑えるために低速で動作させた場合であっても、低速動作に対してハードウェア資源が冗長な構成となるため、電力が無駄に消費される。例えば、プロセッサに、高速命令セットと、低速命令セットとを共通の命令セットとして含ませ、高速命令セット及び低速命令セットのそれぞれに対応するプロセッサ機能を切り替えて使用することで、同じ命令を実行するプロセッサを、必要最小限の資源で動作させることができ、更なる低消費電力化が可能となる。

#### 【0019】

本発明のプロセッサでは、前記複数のプロセッサ機能の少なくとも1つは、段数が可変に設定されてパイプライン制御され、該パイプライン制御における段数が特定のシステム命令に応答して設定されることが好ましい。この場合、システム命令には、パイプライン段数を指定する命令が含まれ、プロセッサでは、パイ

プライン段数を指定するシステム命令の実行によって、プロセッサ機能のパイプライン段数が任意に設定される。

#### 【0020】

本発明のパイプライン制御のプロセッサは、パイプライン制御における段数が可変としてあり、プロセッサに入力された段数設定命令に応答して、前記段数が設定されることを特徴とする。

#### 【0021】

本発明のパイプライン制御のプロセッサでは、プログラムに含まれる、パイプラインの段数を設定する段数設定命令を実行することで、プロセッサのパイプライン段数を変更することができる。このプロセッサでは、プログラム実行中に、動的にパイプライン段数が切り替え可能なため、高速化が要求される処理ではパイプライン段数を増加させて、処理の高速化を図ることができる。

#### 【0022】

本発明のシステムLSIは、本発明のプロセッサを備えることを特徴とする。

#### 【0023】

本発明の別の視点のシステムLSIは、複数のプロセッサ機能を有する本発明のプロセッサを、複数有することを特徴とする。

#### 【0024】

本発明の別の視点のシステムLSIでは、各プロセッサに含まれる複数の命令セット間で、ハードウェア資源を共有可能であるため、命令セット毎に別々に独立したプロセッサを持つよりもハードウェア資源を有効活用できる。また、プロセッサ毎に、使用する命令セットを動的に切り替えることができるため、システムLSIに要求される処理に応じて命令セットを選択することで、システムLSIの処理能力の向上を図ることができる。

#### 【0025】

本発明のシステムLSIは、前記複数のプロセッサは、全てのプロセッサが同じ命令セットで動作する第1のパターンと、少なくとも1つのプロセッサが、他のプロセッサとは異なる命令セットで動作する第2のパターンの何れかで動作することが好ましい。

例えば、単一の処理を行なうときには、システム L S I を第 1 のパターンで、つまり、全てのプロセッサを同じ命令セットで動作させ、各プロセッサを並列に動作させることで、処理速度を上げることができる。また、例えば制御系の処理と信号処理系の処理とを平行して実行する複合処理を行なうときには、システム L S I を第 2 のパターンで、つまり、全てのプロセッサを同じ命令セットで動作させずに、あるプロセッサを制御系の処理に適した命令セットで動作させ、他のプロセッサを信号処理系の処理に適した命令セットで動作させることで、処理速度を上げることができる。

#### 【0026】

本発明のシステム L S I の設計方法は、複数のプロセッサ機能を有するプロセッサを複数有するシステム L S I を設計する L S I 設計方法であって、システム L S I 設計仕様から、機能設計段階でハードウェア設計及びソフトウェア設計に分割するステップと、ハードウェア設計において、前記複数のプロセッサのそれぞれに対応するハードウェア構成と、アルゴリズムレベルで記述された前記システム命令及び前記複数の命令セットとを、ハードウェア情報として入力するステップと、前記ハードウェア情報を動作合成するステップとを備えることを特徴とする。

#### 【0027】

本発明のシステム L S I の設計方法では、プロセッサに組み込むべき複数の命令セット及びシステム命令を含むハードウェア情報を動作合成してシステム L S I の回路構成を得るため、複数の命令セット間で、演算資源等のハードウェア資源を共有するプロセッサを含むシステム L S I を得ることができる。このため、限られたハードウェア回路規模の中で、より効率が高く、高い処理能力を有するシステム L S I を得ることができる。

#### 【0028】

本発明のシステム L S I の設計方法では、前記動作合成ステップによって、ハードウェア化するのに適した論理合成用 H D L 記述と、シミュレーションに使用するのに適したシミュレーション記述と、ハードウェア規模を示す合成情報とを生成することが好ましい。

**【0029】**

本発明のシステム L S I の設計方法では、前記動作合成ステップに後続して、前記シミュレーション記述と、前記複数のプロセッサを作動させるソフトウェアの機械語命令とに基づいて、設計されるシステム L S I の動作検証を行なうステップとを有することが好ましい。

命令セットシミュレータ等のシミュレーション技術により、システム L S I の回路構成に、ソフトウェアを実装し、システム L S I の処理能力の検証や設計誤りの検証をクロックサイクルレベルで行なう動作検証に際して、動作合成により得られるシミュレーション用記述を使用することで、システム L S I の回路構成を手でモデリングする必要がなくなり、検証作業を簡素化することができる。また、シミュレーション記述を動作合成により得ることで、システム L S I の回路構成に変更が生じた場合であっても、動作検証のやり直しが容易となる。

**【0030】**

本発明のシステム L S I の設計方法では、前記合成情報と、前記動作検証ステップにおける検証結果とに基づいて、前記分割ステップに戻るか否かを判定することが好ましい。

動作合成により得られる合成情報によってシステム L S I の回路規模を見積もり、その回路規模が、システム L S I に要求される回路規模を超えると判定されるときには、システム L S I の設計をハードウェア設計とソフトウェア設計との分割から設計をやり直すことができる。また、動作検証により、正常に動作しない、或いは、システム L S I が要求される時間性能を満たさない場合には、システム L S I の設計をハードウェア設計とソフトウェア設計との分割から設計をやり直すことができる。

**【0031】**

本発明のシステム L S I の設計方法は、前記ソフトウェアの設計では、前記複数のプロセッサ毎に前記複数の命令セットの命令及びシステム命令を含むソースプログラムを作成するステップと、前記プロセッサ毎のソースプログラムを、前記ハードウェア情報を参照して一括して機械語に翻訳するステップとを有することが好ましい。

1つのプロセッサが複数の命令セットを有するとき、そのプロセッサ用のソースプログラムには、複数の命令セットに対応する命令が混在することとなる。このようなソースプログラムを、プロセッサに含めた複数の命令セット及びシステム命令に対応する、マルチターゲットのアセンブラ・コンパイラ・リンカを使用して、一括でプロセッサが直接理解できる機械語に翻訳する。このとき、マルチターゲットのアセンブラ・コンパイラ・リンカには、プロセッサの設計段階で入力したハードウェア情報を参照して、ソースプログラム中の命令が何れの命令セットに含まれる命令であるかを識別して、機械語を生成する。なお、一括で機械語に翻訳するということは、ソースプログラムを、1つのプログラムコードとして生成することを意味する。

#### 【0032】

本発明の記録媒体は、上記本発明のシステムLSIの設計方法を実現するプログラムを記録したことを特徴とする。

#### 【0033】

##### 【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1は、本発明の第1実施形態例のシステムLSIの構成を示している。このシステムLSIは、N個（Nは自然数）のプロセッサ100（1）～（N）と、各プロセッサ100に共通な命令メモリ101a、データメモリ101b、I/O（入出力部）102、電源バス103a、クロックバス103b、割り込みバス103c、命令データバス103d、及び、データバス103eとを備える。なお、以下の説明では、プロセッサの符号を、特定のプロセッサを表示する以外ときには100と表記する。

#### 【0034】

電源バス103aは、複数の電源に接続され、クロックバス103bは、複数の周波数のクロック源に接続される。プロセッサ100及びI/O102には、電源バス103aから任意の電圧値の電源が供給され、クロックバス103bから任意の周波数のクロック信号が供給される。割り込みバス103cは、複数の割り込み信号を伝達し、プロセッサ100には、割り込みバス103cから任意

の割り込み信号が供給される。

#### 【0035】

命令メモリ101aは、各プロセッサ100のアプリケーションプログラムを記憶する。命令バス103dは、命令部アドレスバスと、命令部データバスとを含み、各プロセッサ100は、命令部アドレスバスを介して命令メモリ101aのアドレスを指定し、そのアドレスのデータ（命令）に命令部データバスを介してアクセスする。データメモリ102は、プロセッサ100が使用するデータを記憶する。データバス103eは、データ部アドレスバスと、データ部データバスとを含み、各プロセッサ100は、データ部アドレスバスを介してデータメモリ102のアドレスを指定し、そのアドレスにデータ部データバスを介してアクセスする。

#### 【0036】

各プロセッサ100は、任意の組合せの複数の命令セットを有する。例えば、プロセッサ100（1）は、命令セットA及び命令セットBの2つの命令セットを有し、プロセッサ100（2）は、命令セットA、命令セットB、及び、命令セットCの3つの命令セットを有する。各プロセッサ100は、使用する命令セット、システムクロックの周波数、或いは、電源電圧が異なる複数の動作モードを有し、命令メモリ101aから読み取った特定の命令によって動作モードを切り替え可能であり、また、割り込みバス103cからの特定の割り込み信号によって動作モードを切り替え可能である。

#### 【0037】

図2は、図1のプロセッサ100（1）の詳細構成を示している。各プロセッサ100は、図2に示すプロセッサ100（1）と同様に、プロセッサ制御部110、プロセッサ処理部130、命令メモリ制御部140、及び、データメモリ制御部150を備える。以下では、各プロセッサ100の各構成要素について、命令セットAと命令セットBとを有するプロセッサ100（1）を例に挙げて説明する。

#### 【0038】

プロセッサ制御部110は、命令フェッチレジスタ111、命令セット切替部



112、システム命令デコーダ113、システム命令実行制御部114、命令モードレジスタ115、命令セットAデコーダ116、命令セットA実行制御部117、命令セットBデコーダ118、命令セットB実行制御部119、及び、命令実行切替部120を備える。命令セットAデコーダ116及び命令セットA実行制御部117は、命令セットAを実行するプロセッサ機能を実現するハードウェア部分を構成する。同様に、命令セットBデコーダ118及び命令セットA実行制御部119は、命令セットBを実行するプロセッサ機能を実現するハードウェア部分を構成する。プロセッサ処理部130は、命令セットAに固有のハードウェア資源として、演算ユニットA131及びレジスタファイルA134を備え、命令セットBに固有のハードウェア資源として、演算ユニットB132及びレジスタファイルB135を備える。また、双方の命令セットに共通のハードウェア資源として、共有演算ユニット133及び共有レジスタファイル136を備える。

#### 【0039】

命令フェッチレジスタ111には、プロセッサ100が次に実行すべき命令が、命令部データバスを介して命令メモリ101aから読み込まれる。命令メモリ101aには、他のプロセッサのためのプログラムと共に、プロセッサ100(1)のシステム命令、命令セットAの命令、及び、命令セットBの命令が含まれるプログラムが記憶されている。システム命令は、プロセッサ100の動作モードを指定する命令として構成される。命令セットAと命令セットBとは、互いに異なる命令セットとして構成され、例えば、命令セットAは一般的なCPUが有する制御性能指向の命令セットとして構成され、命令セットBは一般的なDSPが有する信号処理性能指向の命令セットとして構成される。

#### 【0040】

システム命令デコーダ113は、命令セットA及び命令セットBを実行するプロセッサ機能を実現するハードウェア部分とは独立に構成され、命令セット切替部112を介さずに受信したシステム命令をデコードし、そのデコード結果をシステム命令実行制御部114に送信する。システム命令実行制御部114は、プロセッサ100(1)の動作モードを指定するための情報を保持する命令モード

レジスタ 115 の値を、受信したデコード結果に基づいて設定する。システム命令には、動作モードを指定する命令の 1 つとして、命令セット切替部 112 の選択を指定する命令、つまり、プロセッサ 100 が使用する命令セット（使用命令セット）を指定する命令が含まれる。命令セット切替部 112 は、命令モードレジスタ 115 の値に基づいて、選択状態を切り替え、命令フェッチレジスタ 111 に読み込まれた命令を、命令セット A デコーダ 116、又は、命令セット B デコーダ 118 に選択的に供給する。

#### 【0041】

命令セット切替部 112 が、命令セット A デコーダ側を選択しているときには、命令フェッチレジスタ 111 に読み込まれた命令は、命令セット A デコーダ 116 でデコードされ、そのデコード結果は、命令セット A 実行制御部 117 に送信される。命令セット A 実行制御部 117 は、演算ユニット A 131、及び、レジスタファイル A 134 に直接に制御信号を送信する。また、このとき命令実行切替部 120 は、命令セット切替部 112 の選択に対応して、命令セット A 実行制御部 117 を選択しており、命令セット A 実行制御部 117 は、PC 制御部 142、DP 制御部 152、共有演算ユニット 133、及び、共有レジスタファイル 136 に、命令実行切替部 120 を介して制御信号を送信する。言い換えると、命令セット A 実行制御部 117 は、命令セット A に固有のハードウェア資源と、命令セット A/B に共有のハードウェア資源との双方を使用して、命令セット A の命令を実行する。このとき、命令セット A の実行で使用されないハードウェア資源、つまり命令セット B デコーダ 118、命令セット B 実行制御部 119、演算ユニット B 132、及び、レジスタファイル B 135 は、非活性化状態とされ、消費電力が低減される。

#### 【0042】

上記とは逆に、命令セット切替部 112 が、命令セット B デコーダ側を選択しているときには、命令フェッチレジスタ 111 に読み込まれた命令は、命令セット B デコーダ 118 でデコードされ、そのデコード結果は、命令セット B 実行制御部 119 に送信される。命令セット B 実行制御部 119 は、演算ユニット B 134、及び、レジスタファイル B 135 に直接に制御信号を送信する。また、こ

のとき命令実行切替部 120 は、命令セット切替部 112 の選択に対応して、命令セット B 実行制御部 119 側を選択しており、命令セット B 実行制御部 119 は、PC 制御部 142、DP 制御部 152、共有演算ユニット 133、及び、共有レジスタファイル 136 に、命令実行切替部 120 を介して制御信号を送信する。言い換えると、命令セット B 実行制御部 119 は、命令セット B に固有のハードウェア資源と、命令セット A/B に共有のハードウェア資源との双方を使用して、命令セット B の命令を実行する。このとき、命令セット B の実行で使用されないハードウェア資源、つまり命令セット A デコーダ 116、命令セット A 実行制御部 117、演算ユニット A 131、及び、レジスタファイル A 134 は、非活性化状態とされ、消費電力が低減される。

#### 【0043】

システム命令デコーダ 113 は、デコードすべき命令がシステム命令でないときには、その命令を NOP (No Operation) 命令としてデコードする。また、命令セット A デコーダ 116 は、デコードすべき命令が命令セット A に含まれる命令でないときには、その命令を NOP 命令としてデコードし、命令セット B デコーダ 118 は、デコードすべき命令が命令セット B に含まれる命令でないときには、その命令を NOP 命令としてデコードする。

#### 【0044】

命令メモリ制御部 140 は、プログラムカウンタ (PC) 141、PC 制御部 142、及び、割り込み制御部 143 を備える。プログラムカウンタ 141 には、命令フェッチレジスタ 111 に読み込むべき命令メモリ 101a のアドレスが格納される。PC 制御部 142 は、プログラムカウンタ 141 の値を制御する。割り込み制御部 143 は、外部からの割り込み信号を受信して、PC 制御部 142 と命令モードレジスタ 115 とをそれぞれ制御する。

#### 【0045】

PC 制御部 142 は、通常時には、プログラムカウンタ 141 をインクリメントして、命令メモリ 101a 内の命令を順次に実行させる。PC 制御部 142 は、命令メモリ 101a 内の分岐命令等が実行されると、命令セット A 実行制御部 117 又は命令セット B 実行制御部 119 からの信号に基づいて、プログラムカ

カウンタ 141 の値を分岐先のアドレスに変更する。また、PC 制御部 142 は、所定の割り込み信号を受信した割り込み制御部 143 からの指令に基づいて、プログラムカウンタ 141 の値を、割り込み信号に対応して定められた所定のアドレスに変更する。割り込み制御部 143 は、使用命令セットの強制的設定を要求する特定の割り込み信号を受信すると、命令モードレジスタ 115 の値を変更して、プロセッサ 100 の動作モードを変更する。

#### 【0046】

データメモリ制御部 150 は、データポインタ (DP) 151 と、DP 制御部 152 とを備える。データポインタ 151 は、プロセッサ制御部 130 との間でデータの送受信が行なわれるべきデータメモリ 102 のアドレスを格納する。DP 制御部 152 は、データポインタ 151 の値を制御する。プロセッサ 100 が、データの転送命令等を実行すると、DP 制御部 152 は、命令セット A 実行制御部 117 又は命令セット B 実行制御部 119 からの信号に基づいて、データポインタ 151 の値を、データ転送先、又は、データ転送元のアドレスに変更する。プロセッサ 100 の動作は、命令セットの種類及び数を除いて、プロセッサ 100 (1) の動作と同様である。

#### 【0047】

図 3 は、図 2 のプロセッサ 100 (1) の動作例をタイミングチャートとして示している。プロセッサ 100 (1) は、プログラムカウンタ 141 が初期値に設定されて、命令メモリ 101 a から、使用命令セットが命令セット A、使用クロック周波数が 50 MHz の動作モードが指定されるシステム命令を読み込んでこれを実行する。命令セット A モードに設定されたプロセッサ 100 (1) では、命令セット切替部 112 が命令セット A 側を選択し、命令セット A デコーダ 116 によって命令メモリ 101 a から命令フェッチレジスタ 111 を介して読み出された命令がデコードされて処理が実行される。

#### 【0048】

時刻 t1 で、使用命令セットが命令セット B で、使用クロック周波数が 100 MHz の動作モードが指定されるシステム命令が実行されると、命令セット切替部 112 は命令セット B 側を選択し、プロセッサ 100 (1) は、システムクロ

ックとして、クロックバス 103b から周波数が 100MHz のクロック信号を入力する。このとき、プロセッサ 100(1) には、クロック周波数が高くなることに対応して、時刻 t1 以前よりも高い電圧値の電源が、電源バス 103a から入力される。使用する命令セットを切り替えることで、プロセッサ 100(1) は、制御性能指向のプロセッサモードから信号処理性能指向のプロセッサモードに変化し、プロセッサ 100(1) での信号処理の実行が高速になる。

#### 【0049】

時刻 t2 では、命令メモリ 101a から読み出された命令によって、使用命令セットを命令セット A に、使用クロック周波数を 25MHz にするシステム命令が実行される。プロセッサ 100(1) は、制御性能指向のプロセッサとして動作し、動作クロック周波数を時刻 t1 以前に比して低速にすることで、時刻 t1 以前よりも低速かつ低消費電力で処理を実行する。時刻 t3 で、プロセッサ 100(1) に信号処理を要求する特定の割り込み信号が割り込み制御部 143 に入力されると、プロセッサ 100(1) は、再び使用命令セットを命令セット B に切り替え、使用クロック周波数を 100MHz にして、高速な信号処理を実行する。

#### 【0050】

図 4 は、図 2 のプロセッサを含むシステム LSI の設計を処理する CAD システムを、その設計方法のフローチャートと共に機能ブロック図として示している。システム LSI の設計では、設計対象のシステム LSI の全機能を、システム LSI 要求仕様 D1 として定義し、そのシステム LSI 要求仕様 D1 を、機能仕様の変更容易性、回路規模、処理時間、及び、消費電力などの制約条件を考慮して、ハードウェア部分とソフトウェア部分とに分割する（ステップ S1）。ハードウェア部分の設計では、プロセッサの機能を高級言語を用いて設計し、ソフトウェア部分の設計では、新たなハードウェアとして設計するプロセッサ上で動作するアプリケーションプログラムを設計する。

#### 【0051】

ハードウェア部分の設計では、プロセッサに組み込むべき複数の命令セット、プロセッサの機能（動作モード）を切り替えるためのシステム命令、及び、外部

バス条件や動作クロック周波数などの構成情報を含むプロセッサ設計情報D 2を入力して、プロセッサ全体の機能構成を定義する（ステップS 2）。ステップS 2では、プロセッサ全体の機能構成の定義から、複数の命令セットの命令を含むアプリケーションプログラムを、命令セットに応じて正しく機械語に翻訳する際に使用されるマルチ命令セット構成定義D 1 1が得られる。プロセッサ設計情報2は、資源制約が加えられて、それと共に動作合成される（ステップS 3）。

#### 【0052】

ステップS 3の動作合成により、合成情報D 3と、ハードウェア化するのに適した論理合成用HDL（Hardware Description Language）記述D 4、及び、クロックサイクルレベルで動作検証するためのシミュレーション用C言語記述D 5とから成るプロセッサ設計構成D 6が得られる。得られた合成情報D 3によって、回路規模がチェックされ（ステップS 4）、回路規模がシステムLSIの制約条件を満たさないときにはステップS 1に戻り、ハードウェア部分とソフトウェア部分の分割から設計をやり直す。ステップS 4で、回路規模チェックの結果が良好である場合には、サイズ設計が完了し、ハードウェア部分（プロセッサ）の構成が定まる。

#### 【0053】

ソフトウェア部分の設計では、ステップS 2でプロセッサ設計情報D 2に含めた各命令セットのそれぞれで動作すべきプログラム、図4の例では、命令セットAで動作すべきプログラムA（D 7）及び命令セットBで動作すべきプログラムB（D 8）と、システム命令で動作すべきシステムプログラムD 9とを含むアプリケーションプログラムD 10を高級言語等で作成し、プロセッサの動作を決定する。アプリケーションプログラムD 10は、ステップS 2でプロセッサ設計情報D 2から得られるマルチ命令セット構成定義D 1 1と共に、マルチターゲットのアセンブラによるアセンブルや、コンパイラによるコンパイル、リンカによるリンクがされ、デバッグ情報D 1 2、及び、設定対象のプロセッサが直接理解できる機械語命令D 1 3が得られる（ステップS 5）。

#### 【0054】

ステップS 3で得られたシミュレーション用C言語記述D 5と、ステップS 5

で得られたデバッグ情報D12及び機械語命令D13と、プロセッサのテスト用入出力信号を含む周辺環境を定義するテストベンチD14とが、命令セットシミュレータに掛けられ、プロセッサの設計に誤りがあるか否かが確認される（ステップS6）。命令セットシミュレータでは、プロセッサの構成、及び、アプリケーションプログラムD10のデバッグ作業が行なわれると共に、プロセッサの処理能力である時間性能特性及び消費電力特性が見積もられ、時間性能特性及び消費電力特性を性能情報D15として出力する。

#### 【0055】

ステップS6により得られる性能情報D15によって、システムLSIが、求められる性能条件を満たすか否かが確認され（ステップS7）、要求される性能条件を満たさない場合には、ステップS1へ戻り、ハードウェア部分とソフトウェア部分の分割からシステムLSIの設計をやり直す。システムLSIの性能が、要求される性能条件を満たす場合には、システムLSIの設計は完了し、プロセッサと、プロセッサ上で動作するアプリケーションプログラムとが確定する。

#### 【0056】

本実施形態例では、各命令セットのデコーダから独立したシステム命令デコーダ113が、使用命令セットの選択を含むプロセッサの動作モードを指定するシステム命令をデコードするため、各命令セットのデコーダに、命令セットの切り替えを要求する命令をデコードするための回路資源を配置する必要がなく、プロセッサ100の回路規模が増大しない。システム命令を、各命令セットから独立した命令として構成することで、プロセッサ100では、切り替え前の命令セットを認識することなく、使用命令セットを切り替えることができる。また、プロセッサ100は、命令メモリ101aから読み込んだシステム命令以外にも、使用命令セットの強制的設定を要求する特定の外部割り込み信号に応答して、使用命令セットが切替可能である。

#### 【0057】

上記本実施形態例のプロセッサを含むシステムLSIの設計では、複数の命令セットを有するプロセッサを、RT（レジスタ転送）レベルよりも抽象度が高い動作記述から動作合成して得る。これにより、汎用性が高い演算資源等のハード

ウェア資源を、異なる命令セット間で共有するシステム L S I (プロセッサ) を得ることができ、限られたハードウェア回路規模の中で、より効率がよく、高い処理能力を有するシステム L S I を得ることができる。また、動作合成により得られたシミュレーション用 C 言語記述 D 5 を、アプリケーションプログラムと共に、命令セットシミュレータでクロックサイクルレベルで動作検証することにより、システム L S I の動作検証が容易となる。

#### 【0058】

なお、上記本実施形態例の説明では、プロセッサ 100 が、相互に異なる複数の命令セットを有する例について説明したが、プロセッサ 100 に含まれる複数の命令セットは、命令セット自体は同一であるが、ハードウェア資源の使用形態が異なる命令セットとして構成されていてもよい。例えば、図 2 において、命令セット A と命令セット B とを、同一の命令コードにより同一の実行結果をもたらす同一の命令セットとして構成し、命令セット A は、命令セット A に固有のハードウェア資源 (例えば回路規模大) を使用して命令を実行し、命令セット B は、命令セット B に固有のハードウェア資源 (例えば回路規模小) を使用して命令を実行するように構成することもできる。この場合、命令メモリ 101 a は、単一の命令セットで構成されるアプリケーションプログラムを記憶する。

#### 【0059】

例えば低消費電力モードを有するプロセッサでは、動作クロックを低速にして消費電力を低減している。一般に、高速動作に対応するハードウェア資源は、低速動作のハードウェア資源よりも回路規模が大きくなるため、高速動作に対応するプロセッサを低消費電力モードで動作させているときには、ハードウェア資源が冗長な構成となる。このような事態を回避するために、プロセッサに、高速命令セットと、低速命令セットとを同一の命令セットとして含ませ、高速命令セットを選択するときには高速動作時用のハードウェア資源を使用して命令を実行し、低速命令セットを選択するときには低速動作時用のハードウェア資源を使用して命令を実行するようにプロセッサを構成する。このプロセッサが低消費電力モードで動作し、低速命令セットを選択するときには、高速命令セット用のハードウェア資源の電源供給を遮断することで、冗長なハードウェア構成に供給される



電力を削減し、更なる低消費電力を実現することができる。

#### 【0060】

図5(a)～(c)は、プロセッサ100を4つ有するシステムLSIの構成例を示している。システムLSIは、4つのプロセッサ100と、命令メモリ及びデータメモリを含むメモリ101、I/O102と、各種のバス103とを備える。このシステムLSIは、4つのプロセッサ100(1)～(4)が全て命令セットAで動作するパターン1(同図(a))、第1～第3のプロセッサ100(1)～(3)が命令セットAで動作し、第4のプロセッサ100(4)が命令セットBで動作するパターン2(同図(b))、及び、第1のプロセッサ100(1)が命令セットAで動作し、第2及び第3のプロセッサ100(2)、(3)が命令セットBで動作し、第4のプロセッサ100(4)が命令セットCで動作するパターン3(同図(c))の3つの動作パターンを有する。

#### 【0061】

上記3つの動作パターンを実現するために、最低限、第1のプロセッサ100(1)は命令セットAを備え、第2及び第3のプロセッサ100(2)、(3)は命令セットA及び命令セットBを備え、第4のプロセッサ100(4)は命令セットAと命令セットBと命令セットCとを備える必要がある。例えば、命令セットAは、制御性能指向の命令セット、具体的には、C言語で記述されたプロトコルソフトウェア等に適した命令セットとして構成され、命令セットBは、一般的信号処理性能指向の命令セット、具体的には、一般的なAV系メディアアプリケーション等に適した命令セットとして構成され、命令セットCは、専用信号処理性能指向の命令セット、具体的には、通信データパスの信号処理等に適した命令セットとして構成される。

#### 【0062】

図6は、図5のシステムLSIの処理性能をベクトルとして示している。システムLSIがパターン1(図5(a))で動作する場合には、全てのプロセッサが命令セットAで動作するため、ベクトルaとして示すように、制御性能が高く、信号処理性能が低いシステムLSIとして動作する。システムLSIがパターン2(図5(b))で動作する場合には、4つのうちの1つのプロセッサが命令

セットBで動作するため、ベクトルbとして示すように、パターン1に比して制御性能が低く、信号処理性能が高いシステムLSIとして動作する。システムLSIがパターン3（図5（b））で動作する場合には、ベクトルcに示すように、パターン2に比して制御性能が更に低く、信号処理性能が更に高いシステムLSIとして動作する。

#### 【0063】

図7は、図5のシステムLSIの処理例をブロック図として示し、図8は、そのシステムLSIの処理と動作パターンとの対応関係を示している。システムLSIは、アプリケーションとして、図7に示すように、受信したデータをフィルタリングする受信フィルタ処理、フィルタリングしたデータの誤り訂正を行なう受信誤り訂正処理、及び、誤り訂正されたデータの伸長を行なう受信データ伸長処理を順次に有し、また、これらの処理の制御と並列に行なわれる通信制御処理を有する。

#### 【0064】

図8において、システムLSIが通信制御処理のみを行なう期間では、通信制御処理には制御性能指向の処理能力が要求されるため、システムLSIは、全てのプロセッサの使用命令セットを命令セットAにして、図5（a）に示すパターン1で動作する。受信フィルタ処理及び受信データ伸長処理を行なう期間では、それらの処理には一般的な信号処理性能指向の処理能力が要求されるため、システムLSIは、パターン1から、4つのプロセッサのうちの一のプロセッサの使用命令セットを命令セットBに切り替え、図5（b）に示すパターン2で動作する。また、受信誤り訂正処理を行なう期間では、受信誤り訂正処理には、一般的な信号処理性能指向の処理能力と、専用的な信号処理性能指向の処理能力とが要求されたため、システムLSIは、4つのプロセッサのうち2つの使用命令セットを命令セットBにし、残りの2つのプロセッサのうち一方の使用命令セットを命令セットAにし、他方の使用命令セットを命令セットCにして、図5（c）に示すパターン3で動作する。

#### 【0065】

上記のように、システムLSIでは、アプリケーションプログラム上のシステ

ム命令、又は、特定の割り込み信号により、複数のプロセッサの使用命令セットを、図8に示すように、全てのプロセッサ100を同じ命令セットとすること、又は、所定数のプロセッサ100の使用命令セットを、他のプロセッサ100の使用命令セットと異なる命令セットにすることができる。このように、使用命令セットをダイナミックに変更することで、時々刻々と変化するシステムLSIが行なうべき処理に要求される処理能力指向に応じて、システムLSIの処理性能指向を、時間軸上で任意に設定することができ、システムLSIの各処理での処理能力の向上を図ることができる。

#### 【0066】

図9は、本発明の第2実施形態例のプロセッサのプロセッサ制御部の構成を示している。本実施形態例では、図2のプロセッサ制御部110が、プロセッサ制御部110bに置き換わる点で第1実施形態例と相違する。プロセッサ制御部110bは、命令フェッチレジスタ111、命令セット切替部112、システム命令デコーダ113、システム命令実行制御部114、命令モードレジスタ115、命令セットAデコーダ116、命令セットA実行制御部117、命令セットBデコーダ118、命令セットB実行制御部119、命令実行切替部120、共有命令セットデコーダ121、及び、共有命令セット実行制御部122を備える。

#### 【0067】

共有命令セットデコーダ121は、命令フェッチレジスタ111が読み込んだ命令セットA及び命令セットBに共通の共有命令を、命令セットAデコーダ116又は命令セットBデコーダ118と、命令実行切替部120とを介して入力し、そのデコード結果を出力する。共有命令セット実行制御部122は、共有命令セットデコーダ121からのデコード結果に基づいて、プロセッサ処理部130、PC制御部142、及び、DP制御部152に制御信号を送信し、共有命令を実行する。

#### 【0068】

本実施形態例では、複数の命令セットが共有する1つ以上の命令を、共有命令セットデコーダ121でデコードして実行する。第1実施形態例では、ハードウェア資源である命令セットAデコーダ116及び命令セットBデコーダ117の

それぞれが、共有命令に対応するデコード結果を出力するための回路資源を必要としていたが、本実施形態例では、命令セット A デコーダ 116 と命令セット B デコーダ 117 回路資源の重複部分を削減できる。共有命令としては、例えばプロセッサに共通の四則演算等が含まれる。

#### 【0069】

図 10 は、本発明の第 3 実施形態例のプロセッサのプロセッサ制御部の構成を示している。本実施形態例では、図 2 のプロセッサ制御部 110 が、プロセッサ制御部 110c に置き換わる点で、第 1 実施形態例と相違する。プロセッサ制御部 110c は、命令フェッチレジスタ 111、命令セット切替部 112、システム命令デコーダ 113、システム命令実行制御部 114、命令モードレジスタ 115、参照アドレスレジスタ 123、参照テーブルメモリ 124、及び、処理制御データレジスタ 125 を備える。

#### 【0070】

参照テーブルメモリ 124 は、命令セット A デコーダ 116 及び命令セット B デコーダ 118（図 2）の出力信号に対応するデコード結果データと、命令セット A 実行制御部 117 及び命令セット B 実行制御部 119（図 2）の出力信号に対応する実行制御データとを、水平マイクロコード（水平命令）として記憶する。参照テーブルメモリ 124 では、実行すべき命令と、選択されている命令セットの情報とに基づく参照アドレスによって、選択されている命令セットの実行すべき命令に対応するデコード結果データ及び実行制御データが抽出されるように、デコード結果データ及び実行制御データのアドレスが設定される。

#### 【0071】

命令メモリ 101a から、命令フェッチレジスタ 111 に命令（命令コード）が読み込まれると、その命令コードと、命令モードレジスタ 115 によって選択されている命令セットの情報とに基づいて定まる参照アドレスが、参照アドレスレジスタ 123 に入力される。参照データテーブル 124 は、参照アドレスをキーとしてテーブル検索を行ない、デコード結果データ及び実行制御データを抽出して、その抽出結果を処理制御データレジスタ 125 に入力する。プロセッサ処理部 130（図 1）は、処理制御データレジスタ 125 が保持する水平マイクロ

コードに基づいて、プロセッサ 100 (1) に与えられた命令を実行する。

#### 【0072】

本実施形態例では、命令セット毎に回路資源としてのデコーダ及び実行制御部を配置するのに代えて、メモリ資源である参照テーブルメモリ 124 上に、命令フェッチレジスタ 111 に読み込まれた命令をデコード或いは実行するための情報を格納する。参照テーブルメモリ 124 上のデコード結果データ及び実行制御データは、プログラマブルに変更できるため、システム LSI のハードウェア構成が決定した後であっても、アプリケーションプログラムの実行中に、デコード結果データ及び実行制御データをダイナミックに変更することもできる。例えば、システム LSI 内部のハードウェア資源である参照テーブルメモリ 124 のメモリ容量が一定である場合であっても、参照テーブルメモリ 124 上のデコード結果データ及び実行制御データを外部から書き換えることで、命令セットに含まれる命令数を増やす、或いは、命令セット数を増やすことができる。

#### 【0073】

図 11 は、本発明の第 4 実施形態例のプロセッサのプロセッサ制御部の構成を示している。本実施形態例では、図 2 のプロセッサ制御部 110 が、プロセッサ制御部 110 d に置き換わり、プロセッサ 100 (1) は、命令セットと、命令セット毎のパイプラインの段数との双方を切り替え可能である。プロセッサ制御部 110 d は、命令フェッチレジスタ 111、命令セット切替部 112、システム命令デコーダ 113、システム命令実行制御部 114、命令モードレジスタ 115、命令セット A デコーダ 116、A デコードレジスタ 126、命令セット A 段数切替部 128、命令セット A 実行制御部 117、命令セット B デコーダ 118、B1 デコードレジスタ 127 a、命令セット B1 実行制御部 119 a、B2 デコードレジスタ 127 b、命令セット B 段数切替部 129 a、129 b、及び、命令セット B2 実行制御部 119 b を備える。

#### 【0074】

システム命令には、命令セット切替部 112 の選択を指定する命令、つまり使用する命令セットを指定する命令と、命令セット A 段数切替部 128、及び、第 1 及び第 2 の命令セット B 段数切替部 129 a、129 b の選択状態を指定する

命令、つまり命令セット毎のパイプラインの段数を指定する命令とが含まれる。命令モードレジスタ 115 は、命令セット切替部 112 の選択を指定する情報と、命令セット A 段数切替部 128、及び、第 1 及び第 2 の命令セット B 段数切替部 129 a、129 b の選択を指定する情報とを保持する。

#### 【0075】

命令セット A 段数切替部 128 は、命令セット A デコーダ 116 でのデコード結果を、A デコードレジスタ 126 を介して、或いは、直接に、命令セット A 実行制御部 117 に供給する。命令セット A 段数切替部 128 が、A デコードレジスタ 126 を介して命令セット A 実行制御部 117 にデコード結果を供給するときには、命令セット A は、命令フェッチステージ、デコードステージ、実行ステージの 3 段でパイプライン動作し、直接に命令セット A 実行制御部 117 にデコード結果を供給するときには、命令セット A は、命令フェッチステージ、デコード&実行ステージの 2 段でパイプライン動作する。

#### 【0076】

第 1 の命令セット B 段数切替部 129 a は、命令セット B デコーダ 118 でのデコード結果を、B 1 デコードレジスタ 127 を介して、或いは、直接に、命令セット B 1 実行制御部 119 a に供給する。命令セット B 1 実行制御部 119 a では、供給されるデコード結果に基づいた命令の実行と、2 サイクル命令の後半の命令デコードとが行なわれる。第 2 の命令セット B 段数切替部 129 b は、命令セット B 実行制御部 119 a での後半の命令デコード結果を、B 2 デコードレジスタ 127 b を介して、或いは、直接に、命令セット B 2 実行制御部 119 b に供給する。

#### 【0077】

第 1 の命令セット B 段数切替部 129 a が B 1 デコードレジスタ 127 a を介して命令セット B 1 実行制御部 119 a にデコード結果を供給し、第 2 の命令セット B 段数切替部 129 b が、B 2 デコードレジスタ 127 b を介して命令セット B 2 実行制御部 119 b にデコード結果を供給するときには、パイプライン段数は最大の 4 段となり、第 1 及び第 2 の命令セット B 段数切替部 129 a、129 b が共に直接にデコード結果を命令セット B 1 実行制御部 119 a 又は命令セ

ット B 2 実行制御部 119b に供給するときには、パイプライン段数は最小の 2 段となる。

#### 【0078】

本実施形態例では、使用命令セットの切り替えに加えて、命令セット毎のパイプライン段数を、システム命令に基づいてダイナミックに切り替えて使用することができる。このため、システム L S I の処理に要求される処理能力に応じて、プロセッサ 100 の処理速度を、アプリケーションプログラムによって任意に設定することができる。このように、パイプライン段数を変化させることによって、高速処理時にはパイプラインを使って処理を行ない、低速処理時（低消費電力時）にはパイプライン段数を減らして処理を行なうことができるため、処理の形態に対応して、適切にプロセッサ環境を設定することができる。

#### 【0079】

なお、上記実施形態例では、命令セット A と命令セット B とが、異なる処理性能指向の命令セットとして構成される例について説明したが、プロセッサに含まれる複数の命令セットには、同種の処理性能指向の命令セットが含まれていてもよい。また、プロセッサの動作モードを設定するシステム命令として、使用命令セットの設定、動作クロック周波数の設定、電源電圧の設定、及び、パイプライン段数の設定を例に挙げたが、システム命令は、これらの他に、スタンバイモードの設定、電源のオン・オフの設定、活用演算器ユニットプラグインの設定、活用レジスタプラグインの設定、割り込み条件の設定、及び、バグモードの設定の何れかの命令を含んでいてもよい。

#### 【0080】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のプロセッサ、システム L S I、システム L S I の設計方法、及び、それを記録した記録媒体は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したプロセッサ、システム L S I、システム L S I の設計方法、及び、それを記録した記録媒体も、本発明の範囲に含まれる。

#### 【0081】

#### 【発明の効果】

以上説明したように、本発明のプロセッサ、及び、これを備えるシステム L S I は、複数の命令セットの何れにも属しないシステム命令によって選択された命令セットに対応するプロセッサ機能で動作するため、命令セットを切り替える際に、切り替え前の命令セットを認識する必要がなく、切り替えが簡易に行なえる。また、入力された命令以外にも、所定の割り込み信号に応答して命令セットを切り替えるように構成することもできる。

本発明のシステム L S I の設計方法、及び、それを記録した記録媒体では、複数の命令セットを有するプロセッサの回路構成を、動作合成により得ることで、ハードウェア資源の共有が容易となり、限られた回路規模の中で、処理性能が高いシステム L S I を、簡易に設計することができる。

**【図面の簡単な説明】**

**【図 1】**

本発明の第 1 実施形態例のシステム L S I の構成例を示すブロック図。

**【図 2】**

図 1 のプロセッサ 100 (1) の詳細構成例を示すブロック図。

**【図 3】**

図 2 のプロセッサ 100 (1) の動作例を示すタイミングチャート。

**【図 4】**

図 2 のプロセッサを含むシステム L S I の設計方法を実施するシステムを、その設計方法のフローチャート共に示す機能ブロック図。

**【図 5】**

4 つのプロセッサを有するシステム L S I の構成例を示すブロック図。

**【図 6】**

図 5 のシステム L S I の各動作パターンの処理性能を示すベクトル図。

**【図 7】**

図 5 のシステム L S I の処理内容を示す機能ブロック図。

**【図 8】**

図 5 のシステム L S I の動作例を示すタイムチャート。

**【図 9】**



本発明の第 2 実施形態例のプロセッサのプロセッサ制御部の構成例を示すブロック図。

【図 1 0】

本発明の第 3 実施形態例のプロセッサのプロセッサ制御部の構成例を示すブロック図。

【図 1 1】

本発明の第 4 実施形態例のプロセッサのプロセッサ制御部の構成例を示すブロック図。

【図 1 2】

従来のプロセッサの構成を示すブロック図。

【符号の説明】

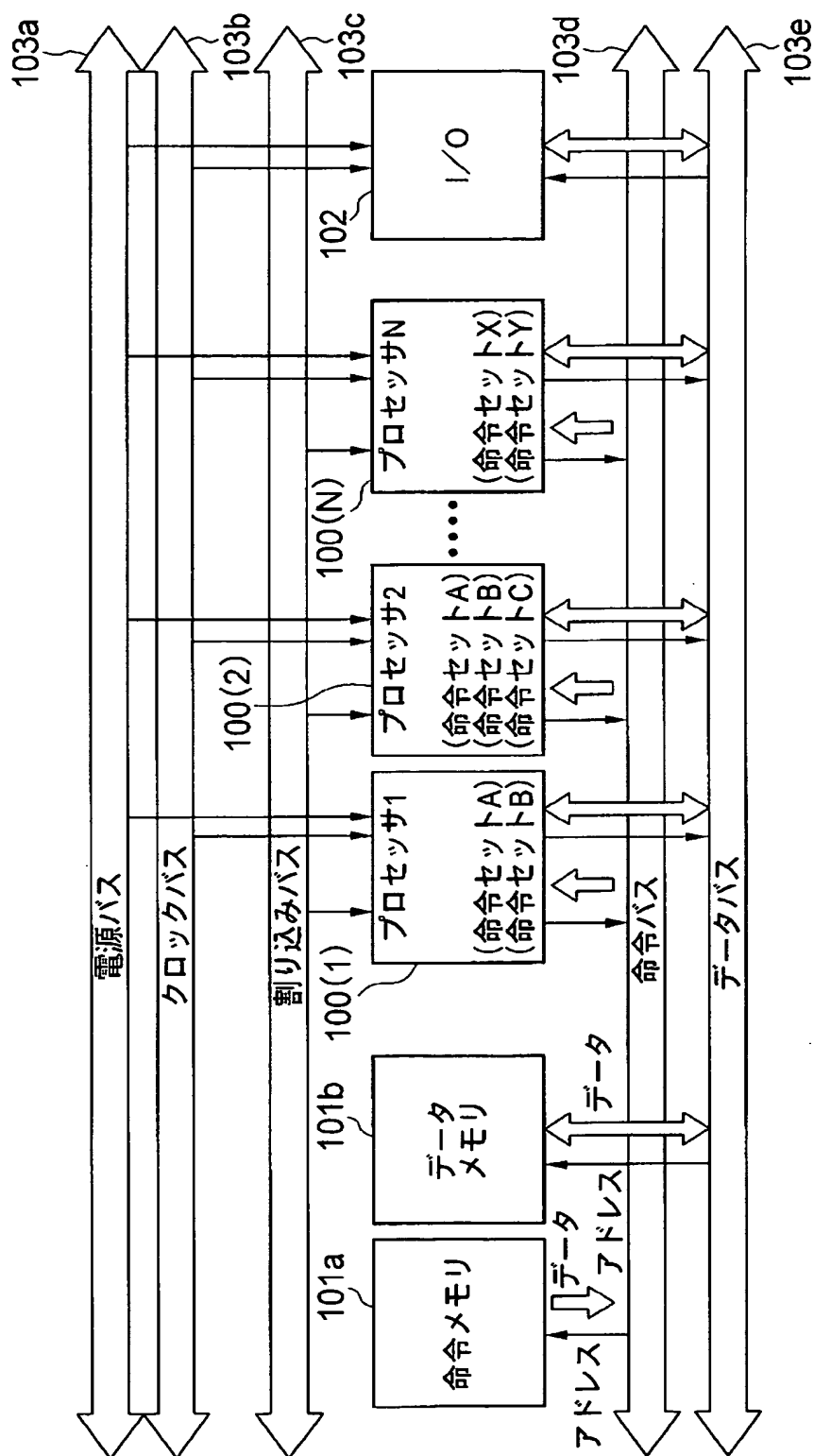
1 0 0 : プロセッサ  
1 0 1 : メモリ  
1 0 2 : I / O  
1 0 3 : バス  
1 1 0 : プロセッサ制御部  
1 1 1 : 命令フェッチレジスタ  
1 1 2 : 命令セット切替部  
1 1 3 : システム命令デコーダ  
1 1 4 : システム命令実行制御部  
1 1 5 : 命令モードレジスタ  
1 1 6 : 命令セット A デコーダ  
1 1 7 : 命令セット A 実行制御部  
1 1 8 : 命令セット B デコーダ  
1 1 9 : 命令セット B 実行制御部  
1 2 0 : 命令実行切替部  
1 2 4 : 参照テーブルメモリ  
1 3 0 : プロセッサ処理部  
1 4 0 : 命令メモリ制御部

1 5 0 : データメモリ制御部

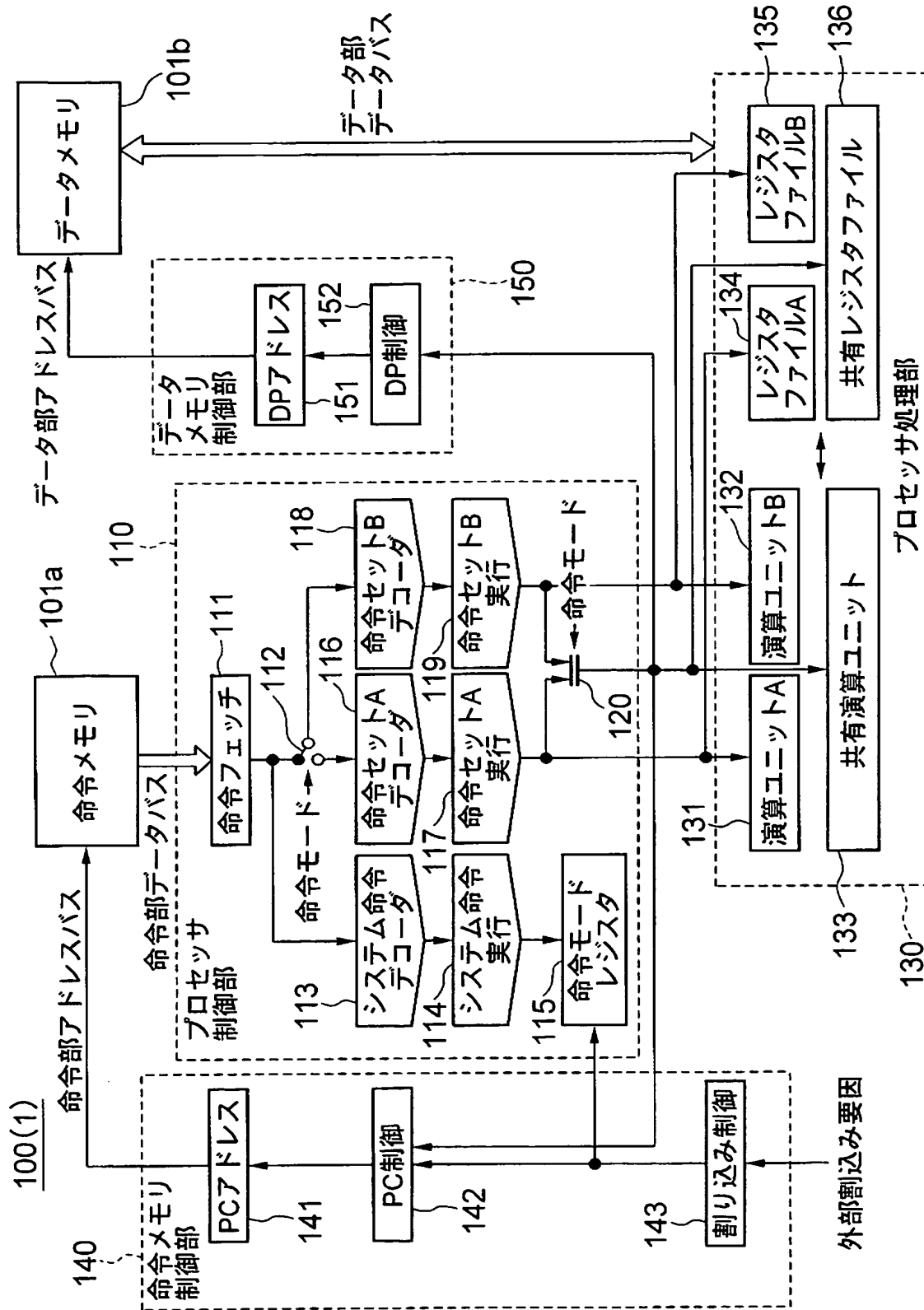
【書類名】

図面

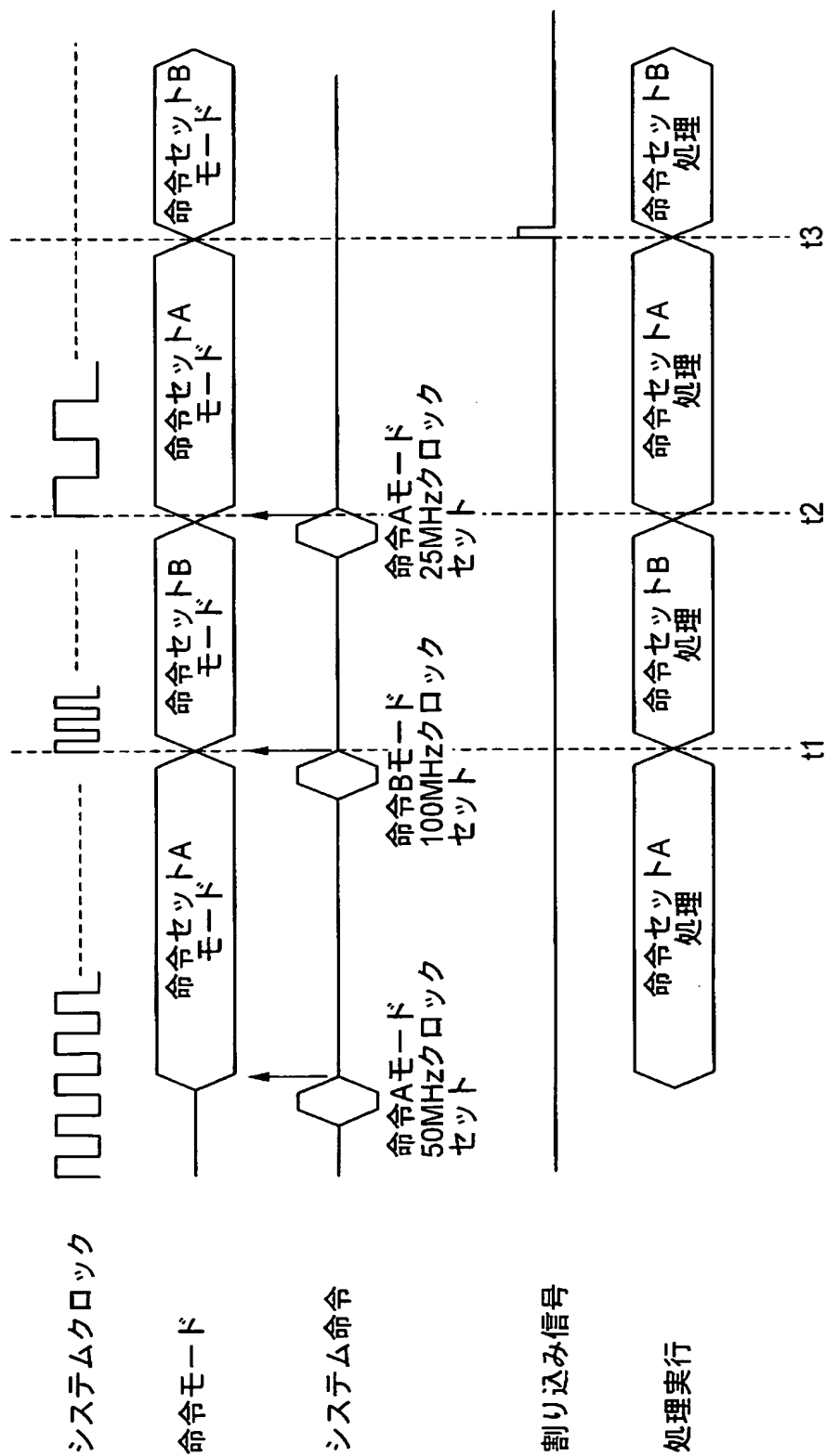
【図 1】



【図 2】



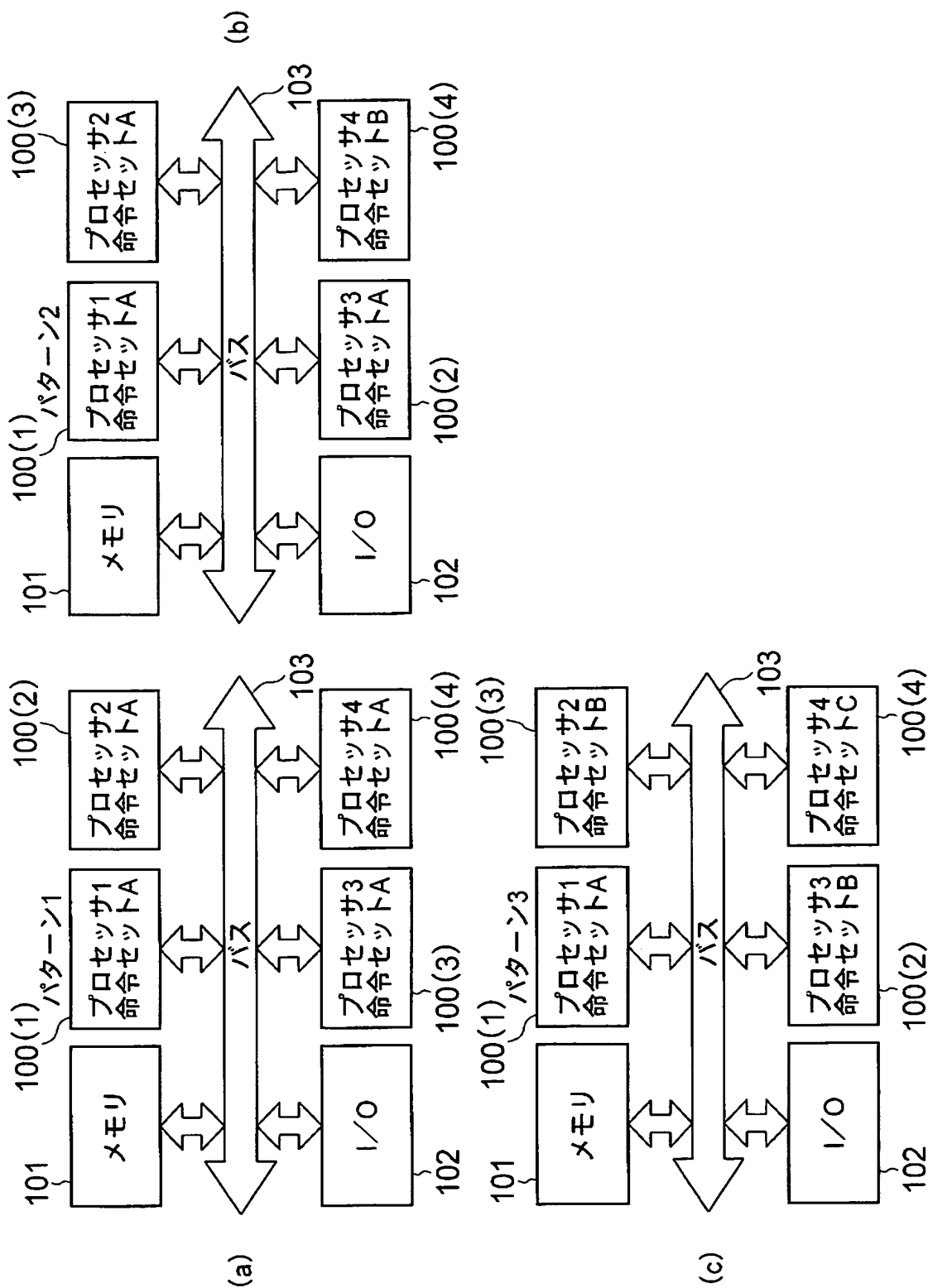
【図 3】



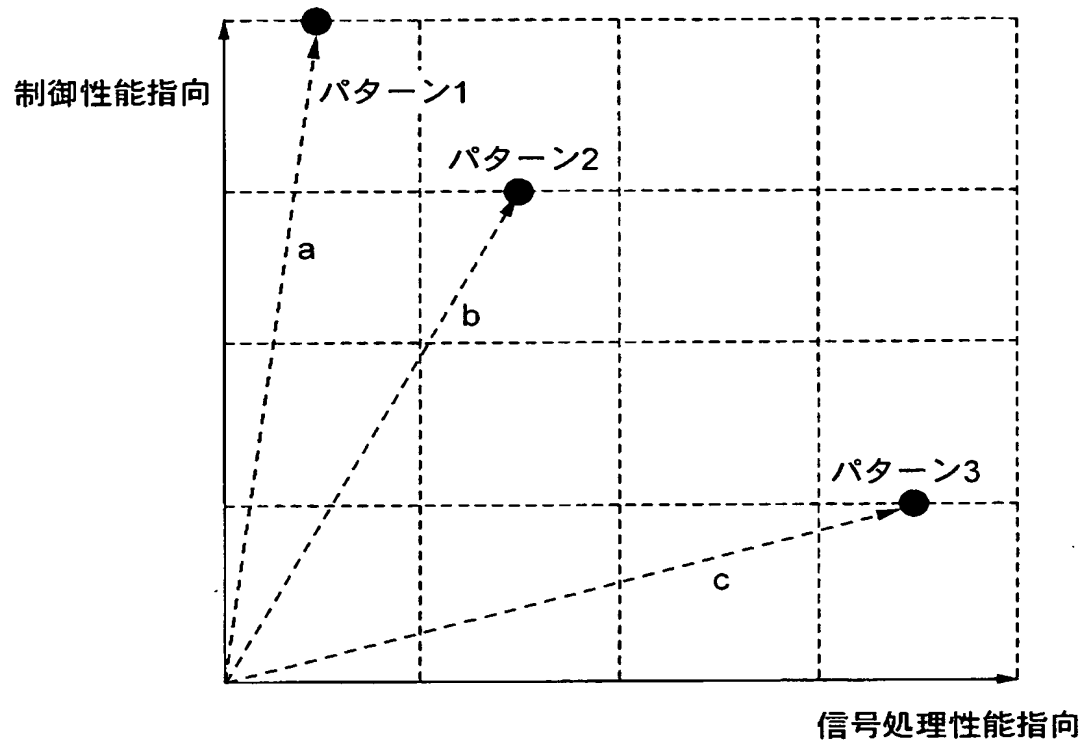
- ・命令セットA：制御性能指向(CPU)
- ・命令セットB：信号処理性能指向(DSP)



【図 5】

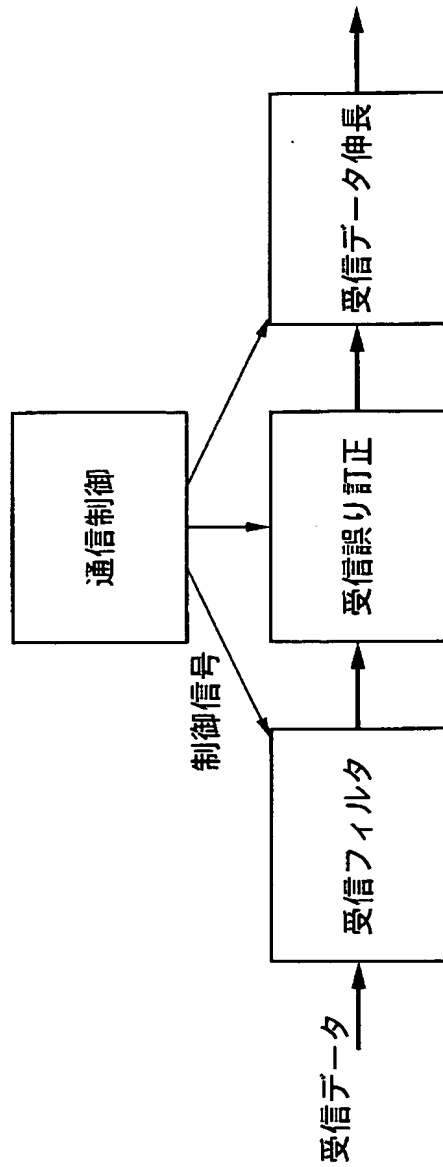


【図 6】

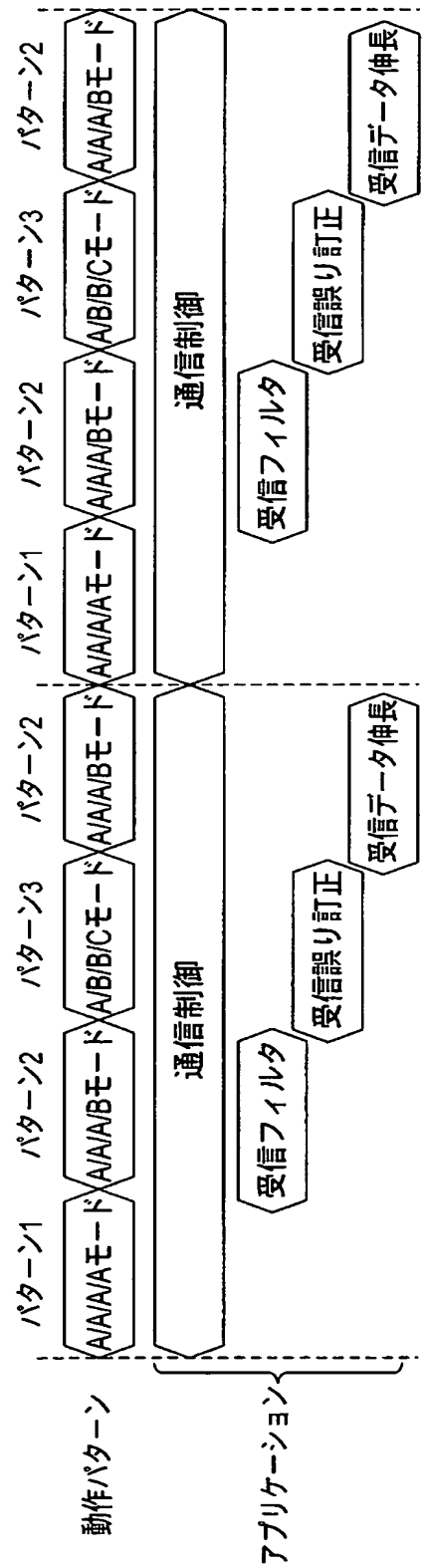




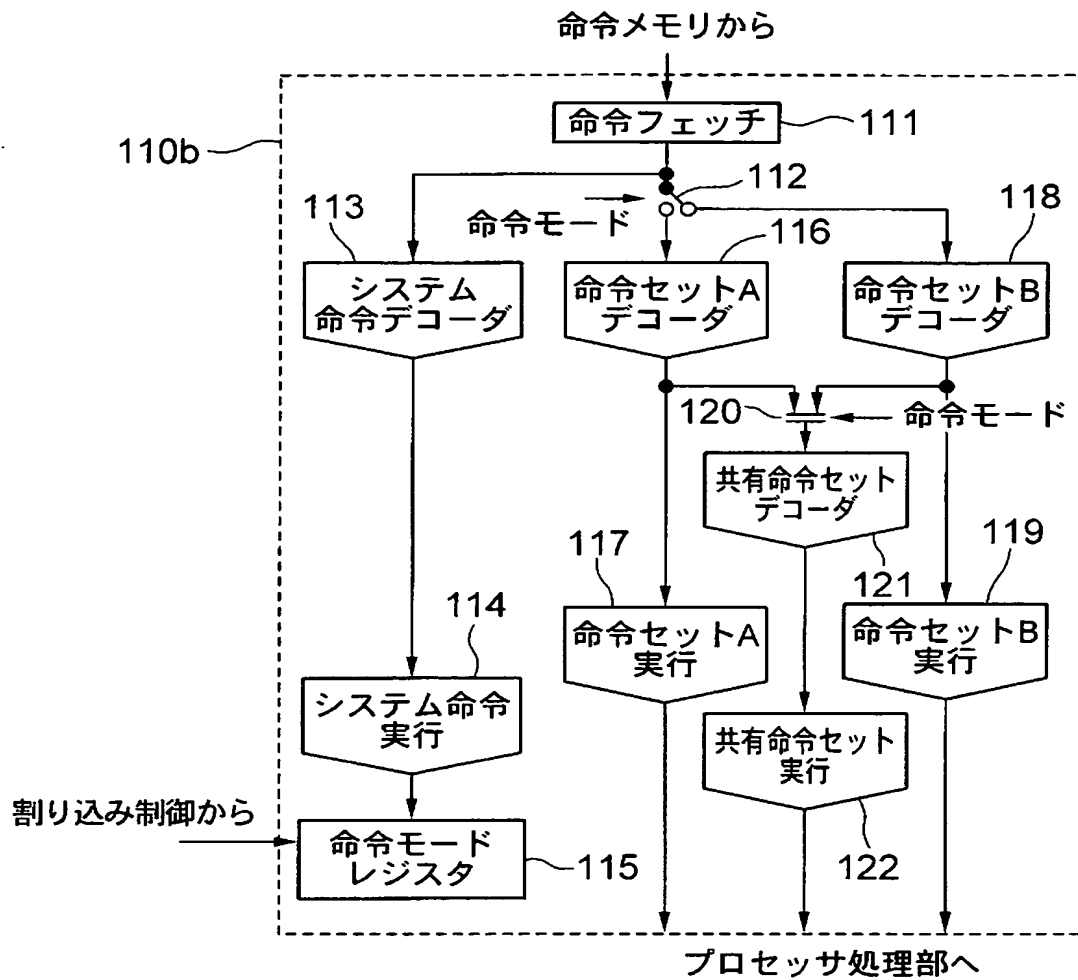
【図 7】



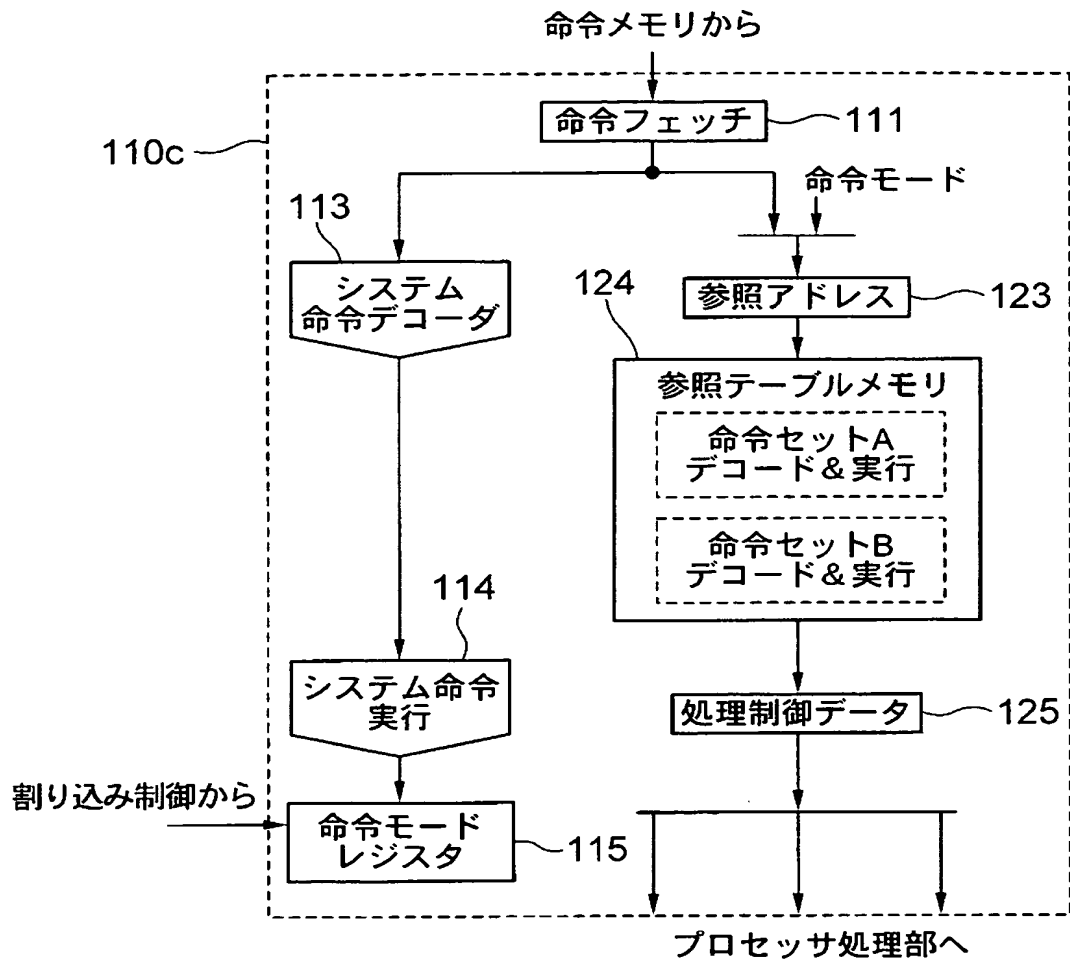
【図 8】



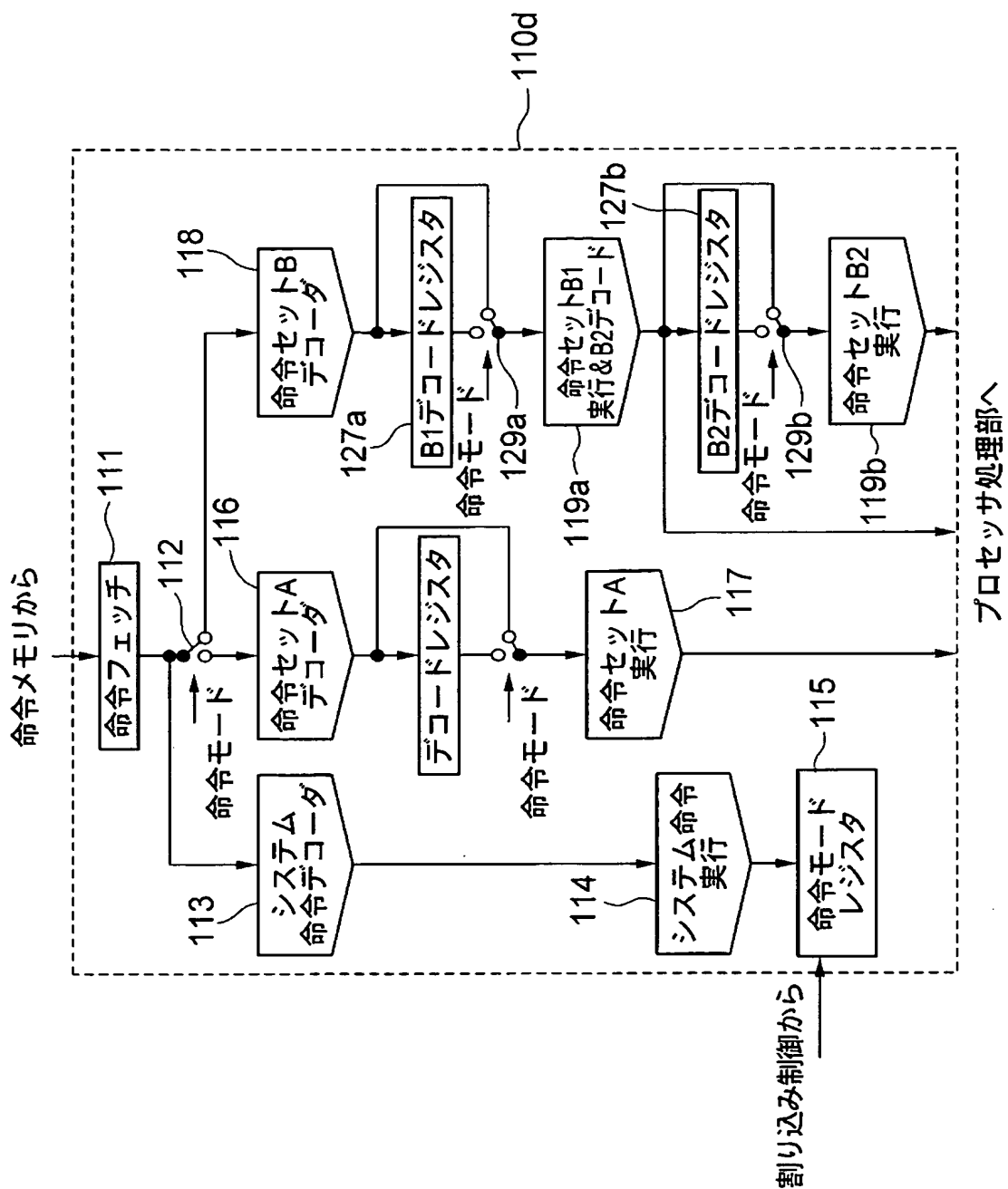
【図 9】



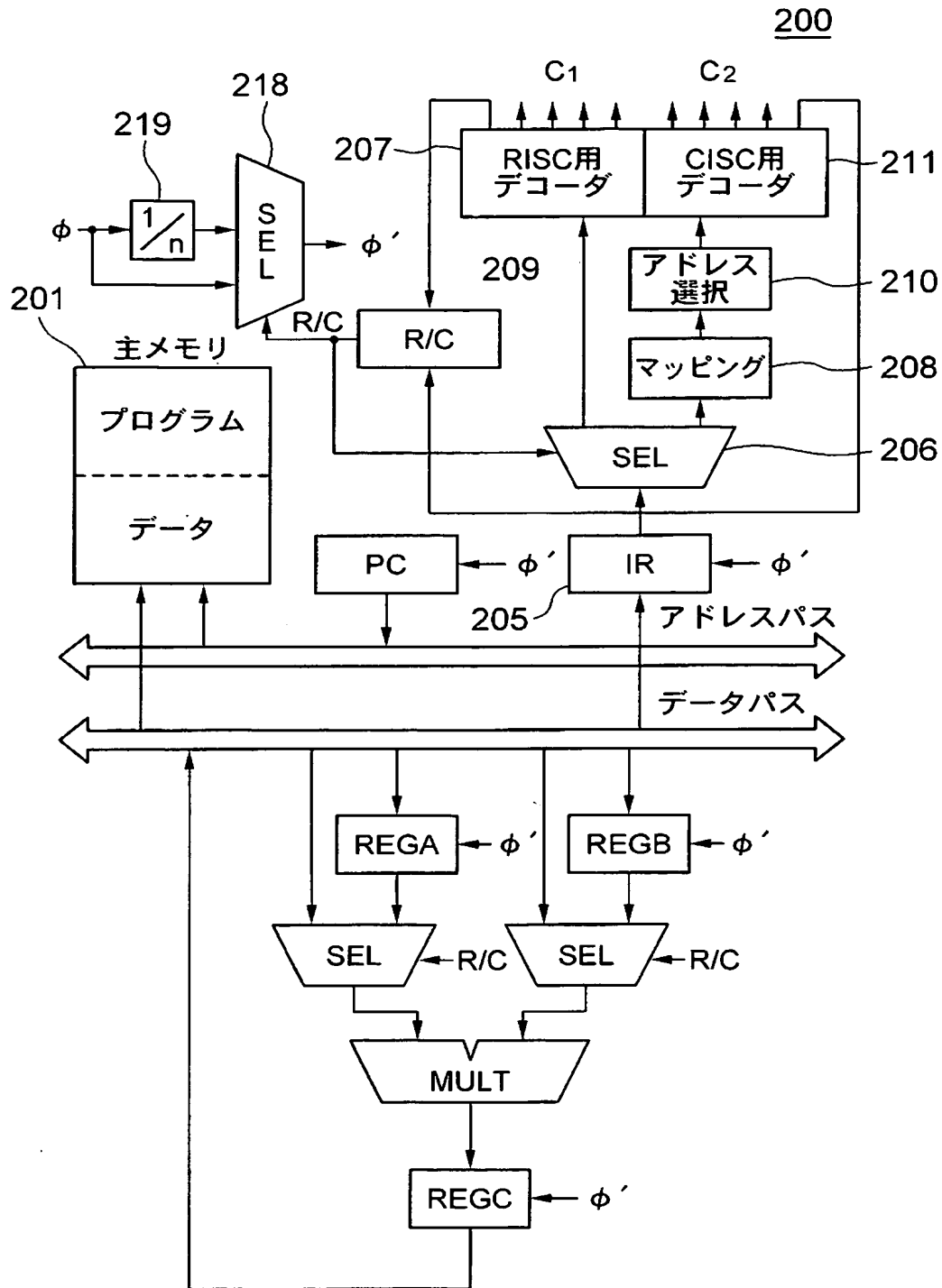
【図10】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 複数の命令セットを有するプロセッサにおいて、命令セットの切り替えが容易なプロセッサを提供する。

【解決手段】 プロセッサ 1 0 0 (1) は、命令セット A と、命令セット B とを有する。システム命令デコーダ 1 1 3 は、命令セット A 及び命令セット B の何れにも含まれない、プロセッサの動作モードを指定するシステム命令をデコードする。システム命令実行制御 1 1 4 は、命令セットの切り替えを要求する命令をデコードしたシステム命令デコーダ 1 1 3 のデコード結果を受けて命令モードレジスタ 1 1 5 の値を設定し、命令セット切替部 1 1 2 は、命令モードレジスタ 1 1 5 の値に基づいて、使用する命令セットを選択する。

【選択図】 図 2



特願 2 0 0 3 - 0 5 1 2 0 1

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社